

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-116869

(43)Date of publication of application : 17.04.1992

(51)Int.CI.

H01L 29/784

H01L 21/265

(21)Application number : 02-236391

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 06.09.1990

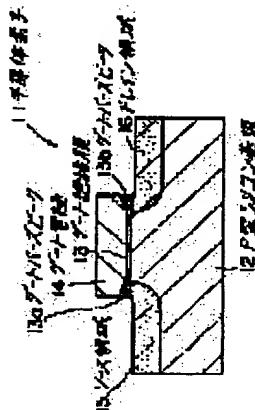
(72)Inventor : HAYASHI TAKANAO
UCHIYAMA AKIRA

(54) SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To restrain the generation of inverse short channel effect and improve reliability, by forming gate bird's beaks generated on both side parts of a gate insulating film in an MOS field effect type transistor and the like, by using material whose relative permittivity is higher than that of the gate insulating film.

CONSTITUTION: A gate insulating film 13 formed of a silicon oxide film and a gate electrode 14 formed of a polycrystalline silicon film are laminated in order on a P-type silicon substrate 12. Gate bird's beaks 13a, 13b are generated on both side parts of the gate insulating film 13, and composed of silicon nitride having a relative permittivity higher than that of the gate insulating film 13. A source region 15 in which N-type impurities are implanted is formed on the one side of the gate insulating film 13 on the surface layer of the substrate 12. A drain region 16 in which N-type impurities are implanted is formed on the other side or the gate insulating film 13. The thickness or the bird's beak of a semiconductor device 11 constituted in this manner is larger than the thickness of the gate insulating film, so that voltages applied to them become nearly equal. Hence the threshold voltage does not change, so that the inverse short channel effect does not occur.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-116869

⑬ Int. Cl.⁵
H 01 L 29/784
21/265

識別記号 庁内整理番号

⑭ 公開 平成4年(1992)4月17日

8422-4M H 01 L 29/78 301 G
7738-4M 21/265 L
7738-4M Y

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 半導体素子およびその製造方法

⑯ 特願 平2-236391

⑰ 出願 平2(1990)9月6日

⑱ 発明者 林 孝尚 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑲ 発明者 内山 章 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑳ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ㉑ 代理人 弁理士 船橋 国則

明細書

1. 発明の名称

半導体素子およびその製造方法

2. 特許請求の範囲

(1) 第1導電型基板と、

前記第1導電型基板上に形成したゲート絶縁膜と、

前記ゲート絶縁膜上に形成したゲート電極と、
前記第1導電型基板の表層で、前記ゲート絶縁膜の一方側に形成した第2導電型のソース領域と、
前記第1導電型基板の表層で、前記ゲート絶縁膜の他方側に形成した第2導電型のドレイン領域とによりなる半導体素子において、

前記ゲート絶縁膜の両側部に生じるゲートバーゼピークは、当該ゲート絶縁膜よりも比誘電率が高い材料で形成されたことを特徴とする半導体素子。

(2) 前記請求項1記載の半導体素子の製造方法であって、

第1導電型基板上に酸化シリコンで形成した

ゲート絶縁膜と多結晶シリコン膜で形成したゲート電極とを積層して形成し、その後前記ゲート電極の表面に酸化シリコン型のイオン注入用マスクを形成する工程と、

前記イオン注入用マスクを形成する工程で前記ゲート絶縁膜の両側部に生じたゲートバーゼピークに窒素イオンを注入する工程と、

前記第1導電型基板の表層で、前記ゲート絶縁膜の一方側に第2導電型不純物を含むソース領域を形成し、当該ゲート絶縁膜の他方側に第2導電型不純物を含むドレイン領域を形成する工程と、

還元性雰囲気で熱処理を行って、前記ゲートバーゼピークを変化する工程とによりなることを特徴とする半導体素子の製造方法。

(3) 前記請求項1記載の半導体素子の製造方法であって、

第1導電型基板上に酸化シリコンで形成したゲート絶縁膜と多結晶シリコン膜で形成したゲート電極とを積層して形成し、その後前記ゲート電極の表面に酸化シリコン型のイオン注入用マスク

特開平4-116869(2)

を形成する工程と、

前記第1導電型基板の表面で、前記ゲート絶縁膜の一方側に第2導電型不純物を含むソース領域を形成し、当該ゲート絶縁膜の他方側に第2導電型不純物を含むドレイン領域を形成する工程と、

アンモニア雰囲気中で熱処理を行って、前記イオン注入用マスクを形成する工程で前記ゲート絶縁膜の両側部に生じたゲートバースピークを変化する工程とによりなることを特徴とする半導体素子の製造方法。.

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、MOS電界効果型トランジスタ等の半導体素子およびその製造方法に関するものである。

<従来の技術>

半導体素子の構造を、MOS電界効果型トランジスタの構造を例にして、第3図に示す断面図により説明する。

図に示す如く、MOS電界効果型トランジスタ

コン膜(43)でゲート絶縁膜33を形成し、多結晶シリコン膜(44)でゲート電極34を形成する。

さらに、酸化性雰囲気で熱処理を行って、第4図(Ⅲ)に示すように、ゲート電極34表面とP型シリコン基板32表面とに酸化膜37を形成する。ゲート電極34の表面に形成される酸化膜37(37a)は、当該ゲート電極34が多結晶シリコン膜(44)で形成されているために、P型シリコン基板32表面に形成される酸化膜37(37b)より厚く形成される。この時、ゲート絶縁膜33の両側には、ゲートバースピーク33a, 33bが生じる。

次に第4図(Ⅳ)に示す如く、ゲート電極34上に形成された酸化膜37aをイオン注入用マスクにして、P型シリコン基板32の表面でゲート絶縁膜33の両側にN型不純物のヒ素イオン(A⁻)を注入する。この時、P型シリコン基板32上の酸化膜37bが薄く形成されているので、ヒ素イオンは酸化膜37bを通してP型シリコ

ン基板32に注入される。そしてソース領域35とドレイン領域36とが形成される。

31は、第1導電型のP型シリコン基板32と、このP型シリコン基板32上に形成した酸化シリコン(SiO₂)膜33と、このゲート絶縁膜33上に形成した多結晶シリコン製のゲート電極34と、前記P型シリコン基板32の表面で前記ゲート絶縁膜33の一方側に形成した第2導電型(N型)不純物のリン(P)を含むソース領域35と、他方側に形成したN型不純物のリン(P)を含むドレイン領域36とを具備したものである。

次に、上記電界効果型トランジスタ31の製造方法を第4図(Ⅰ)ないし(Ⅵ)に示す工程断面図により説明する。

第4図(Ⅰ)に示すように、P型シリコン基板32上に酸化シリコン(SiO₂)膜43と多結晶シリコン膜44とを順に積層する。この多結晶シリコン膜44には、N型不純物のリンイオン(P⁻)が高濃度で注入される。

その後第4図(Ⅱ)に示す如く、ホトリソグラフィー技術とエッティング技術により、酸化シリ

ン基板32に注入される。そしてソース領域35とドレイン領域36とが形成される。

その後、第4図(Ⅴ)に示す如く、酸化膜37を除去する。

さらに第4図(Ⅵ)に示す如く、層間絶縁膜38が形成され、この層間絶縁膜38にコンタクトホール39a, 39bが形成される。そして、アルミニウム配線40a, 40bが形成される。以上により、MOS電界効果型トランジスタ31は完成される。

<発明が解決しようとする課題>

しかしながら、上記構成のMOS電界効果型トランジスタでは、イオン注入用マスクを酸化性雰囲気の熱処理によって形成する際に、ゲート酸化膜の両側部にはゲートバースピークが生じる。その結果、基板へのイオン注入によってチャネル長が短くなると、しきい値電圧が上昇する逆ショートチャネル効果が起きる。このために半導体素子の信頼性が低下する。

本発明は、上記課題を解決するために成された

特開平4-116869(3)

もので、信頼性に優れた半導体素子およびその製造方法を提供することを目的とする。

<課題を解決するための手段>

本発明は、上記目的を達成するために成されたものである。

すなわち、第1導電型基板上にゲート絶縁膜とゲート電極とが積層され、第1導電型基板の表面で、ゲート絶縁膜の一方側に第2導電型不純物を含むソース領域を形成し、ゲート絶縁膜の他方側に第2導電型不純物を含むドレイン領域を形成した半導体素子において、ゲート絶縁膜の両側部に生じるゲートバーズピークは、当該ゲート絶縁膜よりも比誘電率が高い材料で形成されたものである。

また上記半導体素子の製造方法では、まず第1導電型基板上にシリコン酸化膜で形成したゲート絶縁膜と多結晶シリコンで形成したゲート電極とを順に積層して形成する。その後前記ゲート電極の表面にシリコン酸化膜で形成したイオン注入用マスクを形成する。この時に前記ゲート絶縁膜の

両側部にはゲートバーズピークが生じる。次にこのゲートバーズピークに窒素イオンを注入する。また第1導電型基板の表面で、ゲート絶縁膜の一方側に第2導電型不純物を含むソース領域を形成し、当該ゲート絶縁膜の他方側に第2導電型不純物を含むドレイン領域を形成する。さらに還元性雰囲気で熱処理を行うことによって、前記ゲートバーズピークを変化する。そして、半導体素子が形成される。

また、上記半導体素子の別の製造方法では、まず前記製造方法と同様に、第1導電型基板上にゲート絶縁膜とゲート電極とを積層して形成する。その後ゲート電極の表面にシリコン酸化膜で形成したイオン注入用マスクを形成する。この時、ゲート絶縁膜の両側部にはゲートバーズピークが生じる。次に第1導電型基板の表面で、前記ゲート絶縁膜の一方側に第2導電型不純物を注入したソース領域を形成し、当該ゲート絶縁膜の他方側に第2導電型不純物を注入したドレイン領域を形成する。さらにアンモニア雰囲気中で熱処理を

行って、ゲートバーズピークを変化する。そして、半導体素子が形成される。

<作用>

上記構成の半導体素子は、ゲート絶縁膜の両側部に生じたゲートバーズピークを当該ゲート絶縁膜の比誘電率よりも高い比誘電率を有する物質で形成したことにより、ゲートバーズピークの厚さがゲート絶縁膜の厚さよりも厚いので、ゲート絶縁膜とゲートバーズピークとに掛かる電圧はほぼ同等になる。このため、ゲート絶縁膜に掛かる電界がほぼ一定であれば、ゲート絶縁膜の表面ポテンシャルは変化しない。この結果、しきい値電圧は変化ないので、逆ショートチャネル効果は起きない。

<実施例>

本発明の実施例を第1図に示す断面図により説明する。

図に示す如く、第1導電型基板(P型シリコン基板)12上には、酸化シリコン(SiO₂)膜で形成したゲート絶縁膜13と多結晶シリコン膜

で形成したゲート電極14とが順に積層される。このゲート絶縁膜13の両側部にはゲートバーズピーク13a、13bが生じ、このゲートバーズピーク13a、13bは当該ゲート絶縁膜13の比誘電率よりも高い比誘電率を有する変化シリコン(Si_xN_y)で形成される。さらに、P型シリコン基板12の表面で、ゲート絶縁膜13の一方側には第2導電型(N型)不純物のリンイオン(P⁻)が注入されたソース領域15が形成され、当該ゲート絶縁膜13の他方側にはN型不純物のリンイオン(P⁻)が注入されたドレイン領域16が形成される。このように構成された半導体素子11は、MOS電界効果型トランジスタとして動作される。

次に、上記半導体素子11の製造方法を第2図①ないし⑤に示す工程断面図により説明する。

第2図①に示す工程では、前述の従来の技術中第4図(i)ないし(v)で説明したと同様に、P型シリコン基板12上に熱酸化法によって酸化シリコン膜を形成し、この酸化シリコン膜上に多

特開平4-116869(4)

結晶シリコン膜を形成する。この多結晶シリコン膜には、N型不純物のリンイオン(P^+)が注入される。そしてホトリソグラフィー技術とエッチング技術とによって、酸化シリコン膜でゲート絶縁膜13を形成し、多結晶シリコン膜でゲート電極14を形成する。その後熱酸化処理を行って、ゲート電極14の表面とP型シリコン基板12の表面に酸化シリコン膜17を形成する。この時、ゲート電極13が多結晶シリコン膜で形成されているために、ゲート電極14の表面に形成される酸化シリコン膜17(17a)はP型シリコン基板12の表面に形成される酸化シリコン膜17(17b)より厚く形成される。またこの熱酸化処理によって、ゲート絶縁膜13の両側部にはゲートバースピーク13a, 13bが生じる。

そしてイオン注入装置を用いて、第2図④に示す如く、このゲートバースピーク13a, 13bに窒素イオン(N^+)を斜め(P型シリコン基板12に対しておよそ45°)方向より注入する。この時、酸化シリコン膜17にも窒素イオンが注

入される。

なお窒素イオンの注入では、ゲートバースピーク13a, 13bより内部のゲート絶縁膜13に達しないように、イオン注入装置のイオン加速電圧が調整される。

また窒素イオンの注入方法には、上記のようにイオン注入装置を用いる方法の他に、アラズマ助起によって化学的に活性な窒素イオンを生成し、この窒素イオンを酸化シリコン膜中に熱拡散する方法もある。

次に第2図⑤に示す如く、ゲート電極14上に形成された酸化シリコン膜17aをイオン注入用マスクにして、ゲート絶縁膜13の両側でP型シリコン基板12の表面にN型不純物のヒ素イオン(A_s^+)を注入し、ソース領域15とドレイン領域16とを形成する。

さらに水素(H_2)を含む窒素(N_2)雰囲気中で熱処理を行うことによって、ゲートバースピーク13a, 13bは、水素が還元剤になって注入された窒素イオンとシリコンとが反応し、窒

化シリコン(Si_3N_4)化される。この時、酸化シリコン膜17も窒化シリコン化する。またこの熱処理によって、ソース領域15とドレイン領域16とが活性化される。上記熱処理は、水素を含む窒素雰囲気中で行ったが、水素雰囲気中で行うこともできる。

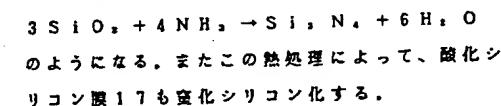
その後第2図⑥に示す如く、窒化シリコン化した酸化シリコン膜17をエッチングにより除去する。

次に第2図⑥に示す如く、ゲート電極14側の全面に層間絶縁膜18を形成し、所定の位置にコントラクトホール19a, 19bを形成する。さらにアルミニウム膜を形成して、ホトリソグラフィー技術とエッチング技術とによりアルミニウム配線20a, 20bを形成する。

次に半導体素子11の別の製造方法を説明する。この製造方法では、前記第2図①で説明した工程が終了した後に、前記第2図③で説明したと同様にゲート電極14上に形成した酸化シリコン膜17aをイオン注入用マスクにして、イオン注入

法によりN型不純物(例えばヒ素イオン)をP型シリコン基板12上に形成された酸化シリコン膜17bを通してP型シリコン基板12の表面に注入する。そして、P型シリコン基板12の表面で、ゲート絶縁膜13の一方側にヒ素イオンを含むソース領域15を形成し、当該ゲート絶縁膜13の他方側にヒ素イオンを含むドレイン領域16を形成する。

次にアンモニア(NH_3)雰囲気中で熱処理(例えば熱処理温度がおよそ900°C)を行って、ゲート絶縁膜13の両側部に生じたゲートバースピーク13a, 13bを窒化シリコン化する。この時の反応は、次式



その後、前記第2図④で説明したと同様にして、窒化シリコン化した酸化シリコン膜17をエッチングして除去する。

そして、前記第2図⑤で説明したと同様に、層

特開平4-116869(5)

間絶縁膜18が形成され、ソース領域15上とドレイン領域16上との層間絶縁膜18にコンタクトホール19a, 19bが形成される。さらにコンタクトホール19a, 19bにアルミニウム配線20a, 20bが形成される。

上記した半導体素子11では、酸化シリコン膜で形成されたゲート絶縁膜13の比誘電率はおよそ3.9であって、一方窒化シリコン化したゲートバーズピーク13a, 13bの比誘電率は、およそ7.5であり、ゲート絶縁膜13の比誘電率のおよそ2倍になる。このため、例えばゲート絶縁膜13の厚さに対してゲートバーズピーク13a, 13bの平均の厚さがおよそ2倍になっている場合には、ゲート絶縁膜13に掛かる電圧とゲートバーズピーク13a, 13bに掛かる電圧とがほぼ等しくなる。このため、ゲート絶縁膜13に掛かる電界がほぼ一定であれば、ゲートバーズピーク13a, 13bを含むゲート絶縁膜13の表面ボテンシャルは変化しないので、しきい値電圧は変化しない。

<発明の効果>

以上、説明したように本発明によれば、ゲート絶縁膜の両側部に生じたゲートバーズピークは、当該ゲート絶縁膜の比誘電率よりも高い比誘電率を有する材料で形成されたので、ゲートバーズピークの厚さがゲート絶縁膜の厚さよりも厚いために、ゲート絶縁膜とゲートバーズピークとに掛かる電圧はほぼ同等になる。このため、ゲート絶縁膜に掛かる電界が一定であれば、ゲート絶縁膜の表面ボテンシャルは変化しない。

よって、しきい値電圧は変化しないので逆ショートチャネル効果が起きなくなり、半導体素子の信頼性の向上が図れる。

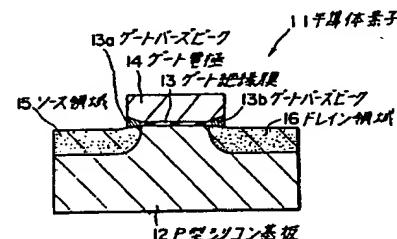
4. 図面の簡単な説明

第1図は、実施例の構造断面図、
第2図①ないし⑤は、実施例の製造工程図、
第3図は、従来例の構造断面図、
第4図(1)ないし(vi)は、従来例の製造工程図である。

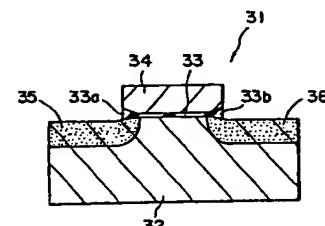
11半導体素子、

- 12-P型シリコン基板、
- 13-ゲート絶縁膜、
- 13a, 13b-ゲートバーズピーク、
- 14-ゲート電極、 15-ソース領域、
- 16-ドレイン領域、
- 17(17a, 17b)-酸化シリコン膜。

特許出願人 沖電気工業株式会社
代理人 弁理士 鮎 橋 国 则

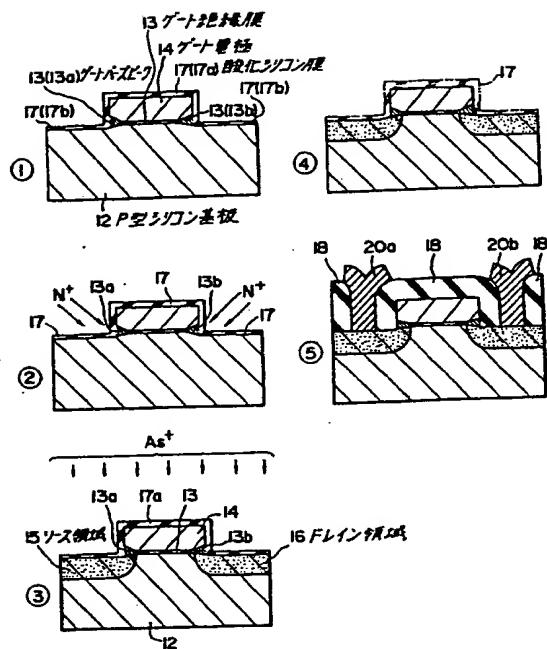
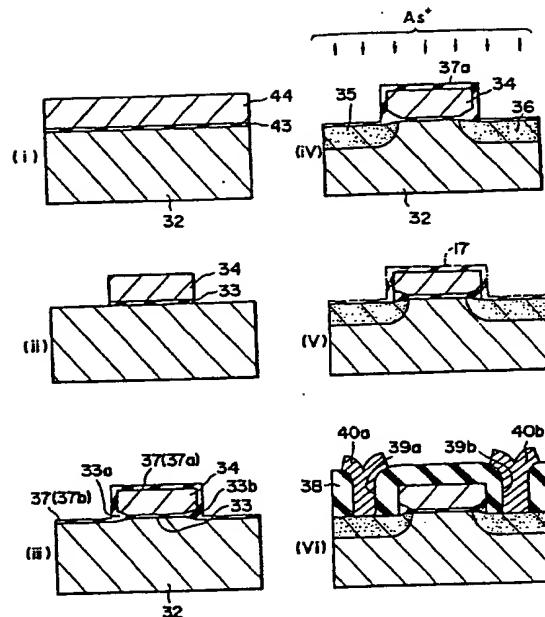


実施例の構造断面図
第1図



従来例の構造断面図
第3図

特開平4-116869(6)

実施例の製造工程図
第2図従来例の製造工程図
第4図